

## EUROPEAN PATENT OFFICE

*Doc filed by  
applicant*

## Patent Abstracts of Japan

PUBLICATION NUMBER : 59198756  
PUBLICATION DATE : 10-11-84

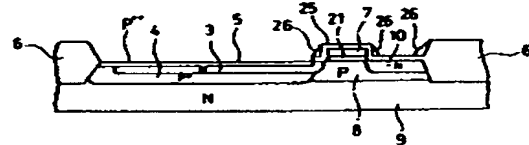
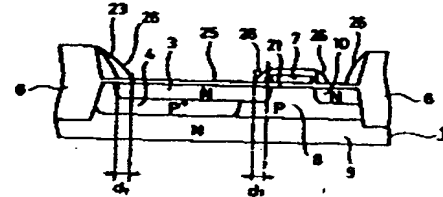
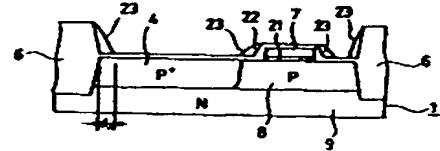
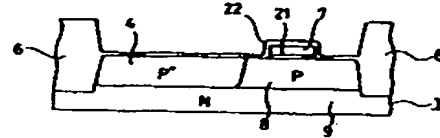
APPLICATION DATE : 27-04-83  
APPLICATION NUMBER : 58072840

APPLICANT : HITACHI LTD;

INVENTOR : AZUMA TAKASHI;

INT.CL. : H01L 27/14 H01L 31/18 H04N 5/30

TITLE : SOLID-STATE IMAGE PICKUP  
ELEMENT AND MANUFACTURE  
THEREOF



**ABSTRACT :** **PURPOSE:** To increase the depletion layer capacitance of the junction and thus reduce the recombination by the surface level of the carrier generated by a short wavelength light by a method wherein the photo diode part is put in a three-layer structure sandwiched by a substrate and a semiconductor layer which form an original P-N junction, and the upper and down two semiconductor layers of high impurity concentration having the reverse conductivity type.

**CONSTITUTION:** Preparing a wafer consisting of an N-substrate layer 9, a P<sup>+</sup> layer 4 of a buried layer is formed after forming a P-well layer 8. After the entire surface is covered with a nitride film, RIE of anisotropic etching is performed, thus forming a side wall 23 made of an oxide film on the side surface of a poly Si layer 7 covered with an element isolation insulation film 6 and an oxide film 22. Since the dimension  $d_2$  of the side wall 23 at the part covering the substrate is equal to the thickness of the first nitride film, it can be controlled by this thickness. Next, etching is performed by means of a photo resist pattern 24. After phosphorus treatment, an oxide film 25 is formed on the surfaces of the poly Si layer 7, N-layer 3 and drain N-layer 10. Finally, a side wall 26 is formed on the surface of the poly Si layer 7 covered with the side wall 23 and the oxide film 25 by RIE.

**COPYRIGHT:** (C)1984,JPO&Japio

① 日本国特許庁 (JP)  
 ⑫ 公開特許公報 (A)

⑪ 特許出願公開  
 昭59—198756

⑤ Int. Cl.<sup>3</sup>  
 H 01 L 27/14  
 31/18  
 H 04 N 5/30

識別記号

庁内整理番号  
 6732—5F  
 6428—5F  
 6940—5C

⑬ 公開 昭和59年(1984)11月10日

発明の数 2  
 審査請求 未請求

(全 7 頁)

⑭ 固体撮像素子およびその製造方法

⑯ 特 願 昭58—72840  
 ⑰ 出 願 昭58(1983)4月27日  
 ⑱ 発 明 者 吾妻孝

茂原市早野3300番地株式会社日

立製作所茂原工場内  
 ⑲ 出 願 人 株式会社日立製作所  
 東京都千代田区神田駿河台4丁  
 目6番地  
 ⑳ 代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 固体撮像素子およびその製造方法  
 特許請求の範囲

1. 半導体基板に反対導電形の半導体層を設けてPN接合を形成してなるホトダイオード部と、これに連なるMOSトランジスタとからなる固体撮像素子において、上記半導体層の上下に互いに同電位でかつ上記半導体層と反対導電形を有する高不純物濃度の半導体層を設けたことを特徴とする固体撮像素子。

2. 半導体基板に素子間分離絶縁膜および絶縁膜で覆われたMOSトランジスタのゲート層ならびにこれら素子間分離絶縁膜およびゲート層で囲まれた領域に位置する第1導電形を有する高不純物濃度の半導体層を形成する工程と、この半導体基板の全面にマスク層を被覆した後、当該マスク層に異方性エッチングを施して素子間分離絶縁膜の側面を覆う側壁を形成する工程と、この側壁を設けた素子間分離絶縁膜および上記ゲート層をマスクとして不純物を導入し上記第1導電形を有する半

導体層上に第2導電形を有する半導体層を形成する工程と、上記側壁を除去した後半導体基板の全面にマスク層を被覆する工程と、このマスク層に異方性エッチングを施して上記ゲート層の側面を覆う側壁を形成する工程と、この側壁を設けたゲート層および上記側壁を除去した素子間分離絶縁膜をマスクとして不純物を導入し上記第2導電形を有する半導体層上に第1導電形を有する高不純物濃度の半導体層を形成する工程とを含むことを特徴とする固体撮像素子の製造方法。

発明の詳細な説明

(発明の利用分野)

本発明は半導体基板にPN接合からなるホトダイオード部とこれに連なるMOSトランジスタとを設けてなる固体撮像素子およびその製造方法に関するものである。

(発明の背景)

第1図に従来用いられているこの種の固体撮像素子を示す。まず、MOSトランジスタ(MOS TRS)からなる水平垂直スイッチをオン・オフすること

特開昭59-198756(2)

により、パルス状にホトダイオード(PD)部にビデオ電圧 $V_v$ を印加し、 $NP^+$ 逆方向接合の空乏層容量に $Q_s = CV_v$ で表わされる電荷を蓄積させる。ここでCはホトダイオード(PD)の容量値である。次に、光照射によつて空乏層近傍に電子-正孔対が発生すると、第2図に示すようにホトダイオード(PD)の両端を等価的に電流 $i_p$ が流れて空乏層容量の蓄積電荷の放電が生じ、 $NP^+$ 逆方向接合容量は時間とともに電荷を失つていくがいつたンオン・オフした後、再びオン・オフするまでに1フレーム期間(1/30 sec)かかるため、この間に $Q_p = i_p/30$ の電荷が放電される。したがつて、次のスイッチのオン・オフによつて再び $Q_s$ まで充電するには、 $Q_p$ だけの電荷を補充すればよいが、放電電流値 $i_p$ は光量に比例するから、結局この時の充電電流は光量に比例する信号として利用できることとなる。

このような固体撮像素子において、性能の向上をはかるためには、次の2つの問題が解決されなければならない。その1つは、強い光が照射され

た場合、これによつて生じた大きな光電流が1フレーム期間内に電荷 $Q_s$ を放電し尽し、余分になつた光電流が基板内を拡散して生じるブルーミング現象である。これを防ぐためには、例えば不純物プロファイルを工夫して余剰光電流がサブストレイトに吸収され易いような電界を与えて余剰光電流を基板外に取出してしまうことの他に、 $Q_s$ を大きくすることが有効であることは言うまでもない。そのために、ホトダイオードを形成するNP接合を上述したような $NP^+$ 接合とすることによつて接合の空乏層幅を狭くし、ホトダイオードの容量Cを大きくする方策がとられているが未だ十分とは言ひ難い。

一方、もう1つの問題は照射光の放電電流 $i_p$ への変換効率、すなわち感度を上げることである。照射光はN形SiからなるN層3とその表面上の $SiO_2$ からなる絶縁膜2との界面からの反射による損失、光のSi中への到達距離と $NP^+$ 接合の位置とのずれおよび表面再結合による損失等により、必ずしも100%が $i_p$ に変換されるわけではない。

ここで光のSi中への到達距離はその波長によつて大きく変わり、緑色より短波長の光に対しては $\sim 1.0 \mu m$ 、赤色より長波長の赤外線に対しては $\sim 2.0 \mu m$ 程度である。そこで従来構造では $NP^+$ 接合面をちょうど緑色等の短波長光がようやく到達し得る程度の距離に配置し、これらの波長光の $i_p$ 変換効率が高くなるようにしてある。すなわち、緑色より短波長の光がN層3の内部で吸収され、発生した電子-正孔対が有効に空乏層容量Cの電荷を放電させ得るようになっていた。しかしながら、実際にはN層3が絶縁膜2と接するSi- $SiO_2$ 界面には第3図に示すように電子または正孔を捕獲する表面単位 $E_s$ が多数存在し、特に短波長光に対しては、それによつて発生したキャリアの表面再結合による損失が大きいために、照射光の $i_p$ への変換効率は必ずしも大きくはならない。なお第3図は、ビデオ電圧印加後のエネルギー帯図で、 $E_{FN}$ ,  $E_{FP}$ は、それぞれN層3、 $P^+$ 層4でのフェルミ単位を示す。また、 $\odot \ominus$ はビデオ電圧 $V_v$ の極性を表している。

#### (発明の目的)

本発明はこのような事情に鑑みてなされたもので、その目的は、空乏層容量を増大させるとともに短波長光によつて発生したキャリアの表面単位による再結合を低減させることが可能な固体撮像素子およびその製造方法を提供することにある。

#### (発明の概要)

このような目的を達成するために、本発明は、ホトダイオード部を、本来のPN接合を形成する基板と反対導電形の半導体層を互いに同電位でかつ当該半導体層と反対導電形を有する高不純物濃度の上下2層の半導体層で挟んだ3層構造としたものである。またこのような構造を実現するために第1導電形の高不純物濃度の半導体層を形成した後、異方性エッチングを利用して加工したマスク層により素子間分離絶縁膜側面に側壁を設けたうえで不純物を導入して第2導電形の半導体層を形成し、さらに上記側壁を除去して再び異方性エッチングを利用してゲート層側面にマスク層からなる側壁を形成し、不純物を導入して第1導電形の高不純物濃度の半導体層を重ねて形成するもの

特開昭59-198756(3)

である。以下、実施例を用いて本発明を詳細に説明する。

(発明の実施例)

第4図は本発明の一実施例を示す固体撮像素子の断面図である。同図を第1図と対比して見れば明らかなように、本実施例では、従来の $NP^+$ 接合を形成していたN層3の上に $P^{++}$ 層5が付加された構成を有している。ここで $P^{++}$ は $P^+$ よりも不純物濃度が高いことを示すが、この $P^{++}$ 層5は、下層の $P^+$ 層4と同電位となるようにLOCOS酸化膜からなる素子間分離絶縁膜6の側面で接続するとともに、絶縁膜2に覆われたポリシリコン層7からなるMOSトランジスタのゲート層から微小距離d1において配置されている。8はPウェル層、9はNサブストレート層、10はMOSTランジスタのドレインN層、11はA/L配線である。

上記構成において、 $NP^+$ 接合ダイオード構造が $P^{++}NP^+$ の3層構造となっており、 $P^{++}$ 層5は $P^+$ 層4と同電位であり、またN層3に比較して十分に薄くしてあるために、N層3にビデオ電圧を印

加した場合、第5図(a)に示すようなバンド構造が形成される。すなわち、 $P^{++}N$ 接合のつくる空間電荷層のポテンシャルの深さは $P^+$ 層と同じで、その形状は $SiO_2$ からなる絶縁膜2の壁に接近するように形成される。一方、 $NP^+$ 接合ではその空乏層は比較的幅が広いが、両者ともN層3の中央においてポテンシャルの谷をつくるような構成となる。この結果、第6図の回路に示すように、 $P^+N$ 接合の空乏層容量 $C_1$ と $P^{++}N$ 接合の空乏層容量 $C_2$ とが並列に入つたことと等価になるため、全容量 $C$ は両者の和に等しくなる。

また、上記構成において、比較的短波長の光が照射された場合、第5図(b)に示すように $P^{++}N$ 接合の空乏層近傍で電子 $e^-$ と正孔 $h^+$ の対がつくられるが、そのうちの少数キャリアの電子 $e^-$ は、たとえば $SiO_2-Si$ 界面に表面単位が存在したとしても、N層3の中央部の強いポテンシャル谷に引かれて落ちて行く。一方、正孔 $h^+$ は $SiO_2-Si$ 界面に向かうが、再結合すべき相手の電子 $e^-$ がN層3のポテンシャル谷に落込んでしまうために再結合できな

い。この結果正孔 $h^+$ は、そのほとんど100%が $P^{++}$ 層5のアクセプタ負イオン $Na^-$ の中和に消費されるとともに、N層3の中央部に落込んだ電子 $e^-$ もN層3のドナー正イオン $Na^+$ を100%近く中和することとなる。比較的長波長の光が照射された場合には、 $NP^+$ 接合の空乏層で電子-正孔対がつくられ、電子 $e^-$ はN層3のポテンシャル谷に引かれ、正孔 $h^+$ は $P^+$ 層4のポテンシャルの山を昇り、それぞれドナー正イオン $Na^+$ 、アクセプタ負イオン $Na^-$ を中和する。これは従来の $NP^+$ 接合の場合と同様であり、 $P^{++}NP^+$ 3層構造をとつたことにより長波長光に対する感度は影響を受けない。

次に、このような構造を形成する方法を第7図を用いて説明する。

まず、Nサブストレート層9からなるウェハーを用意し、Pウェル層8を形成した後、埋込層の $P^+$ 層4を形成する。次いでLOCOS酸化を行なつて素子間分離絶縁膜6を形成し、全面にポリシリコン層を被覆した後エッチングを行なつてゲート酸化膜21を介してゲート層としてのポリシリコン

層7を形成するまでの工程は従来と同様である。次に、表面を酸化して500Å以下程度の薄い酸化膜( $SiO_2$ )22を形成するが、これは次の窒化膜( $Si_3N_4$ )のRIE(Reactive Ion Etching)のストップとするためである(第7図(a))。

次に、全面に窒化膜を0.4~0.5μmの厚さに被覆した後、異方性エッチングのRIEを施し、素子間分離絶縁膜6および酸化膜22で覆われたポリシリコン層7の側面に窒化膜からなる側壁23を形成する。(第7図(b))。この場合、側壁23の基板を覆う部分の寸法d2ははじめの窒化膜の厚さに等しいから、この厚さによつて容易に制御できる。

次に、ホトレジストパターン膜24を用いてエッチングを行ない、ホトダイオード(PD)部周辺の素子間分離絶縁膜6の側面部のみを残してMOSTランジスタのソース・ドレイン(SD)部の側壁23を除去した後、上記ホトレジストパターン膜24を除去する。次いで、これら側壁23を設けた素子間分離絶縁膜6をマスクとして、酸化膜22

特開昭59-198756(4)

を通してA<sub>0</sub>のイオンブランテーションを行い、N層3およびドレインN層10を形成する(第7図(c),(d))。

さらに、リン処理を行なつた後、酸化によりポリシリコン層7およびN層3ならびにドレインN層10の表面に酸化膜25を形成する。この場合の酸化膜25の膜厚は、次の窒化膜のRIE工程におけるストップとして有効に働くように、またその次のボロン拡散工程においてボロンが当該酸化膜25で覆われた部分に拡散しないように比較的厚いものとする。その後、再び窒化膜を0.4~0.5  $\mu\text{m}$ の厚さに被覆し、RIEを行なつて側壁23および酸化膜25で覆われたポリシリコン層7の側面に側壁26を形成する(第7図(e))。この場合も、側壁16の基板表面を覆う部分の寸法d1ははじめの窒化膜の厚さによつて制御できる。本実施例では、これを0.4~0.5  $\mu\text{m}$ とする。いずれの場合にも、窒化膜は、LPCVD法(Low Pressure Chemical Vapor Deposition)あるいはPlasma Enhanced CVD、または両者の併用等により形成

構造が得られる。

ところで、このような固体撮像素子においては、第8図に示すようにA<sub>0</sub>配線11がゲートとしてのポリシリコン層7に直交するように配線してある。このA<sub>0</sub>配線は、ホットダイオード(PD)部のほぼ中央部を走っているが、仮にその直下にN<sup>+</sup>P接合が存在したとすると、A<sub>0</sub>配線11と接合容量とのカップリングが生じ、信号に雑音が混入する。そのため、通常、同図(a)および(b)のB-B断面図に示したようにA<sub>0</sub>配線11の走っているN<sup>+</sup>層3とP層のN<sup>+</sup>P接合を取去り、A<sub>0</sub>とのクロスカップリングが生じないようにしているが、それだけホットダイオード面積が低下して感度が落ちることになる。なお、同図において31はPSGからなるパッシベーション膜である。

本発明によるP<sup>+</sup>N<sup>+</sup>P<sup>+</sup>3層構造を用いると、このような場合にもクロスカップリングを生ずることなく、さらに感度損失を最小限に抑える構造を容易に得ることが可能である。

第9図にこのような例を示す。同図(a)は平面図

するものとする。

次いで、ホトレジストパターン膜27(第7図(f))を用いて、リン酸処理によつて、ポリシリコン層7の側面部26のみを残してホットダイオード(PD)部周辺の素子間分離絶縁膜6の側面部の側壁26および23をエッチング除去した後、ホットダイオード(PD)部の酸化膜25をエッチングし、最後にホトレジストパターン膜27を除去する。次に、この側壁26を設けたポリシリコン層7からなるゲート層および素子間分離絶縁膜6ならびに酸化膜25をマスクとしてボロンを拡散すれば、ホットダイオード部PDの表面部に、ゲート層からd1の距離においてP<sup>+</sup>層5が形成できる(第7図(g))。この距離d1も、P<sup>+</sup>層5とP<sup>+</sup>層4との連結部の幅d2も、RIEにより形成した側壁をマスクとしての拡散というセルフアラインの手法の利用により十分に狭く形成できる。

その後、通常の方法に従つて、側壁26を除去し、SiO<sub>2</sub>膜を被覆して絶縁膜2を形成し、A<sub>0</sub>配線を行うことにより、第6図に示したと同様の

を示し、同図(b),(c),(d)はそれぞれB-B断面図、C-C断面図、D-D断面図を示すが、図から明らかなように、本実施例ではA<sub>0</sub>配線11の走る部分にグループ(groove)状の細い溝32を設け、この溝32にもP<sup>+</sup>N<sup>+</sup>P<sup>+</sup>構造を形成している。さらにこの溝32をSiO<sub>2</sub>もしくはSi<sub>3</sub>N<sub>4</sub>などからなる絶縁物33で埋め、その上にPSGからなるパッシベーション膜31をカバーした上でA<sub>0</sub>配線11を設けてある。この場合、N<sup>+</sup>層3は、溝32のほぼ中央部で距離d3だけ分離させ、P<sup>+</sup>層5はこの部分を通じてP<sup>+</sup>層4と接続し両者を等電位にした構造を有する。

このような構成において、A<sub>0</sub>配線11と溝32との間隔d4および溝32の深さd5を適当に選択することにより、配線接合間のカップリングを無視し得る程度に十分に小さくすることが可能である。また、この場合パッシベーション膜31を通してA<sub>0</sub>配線の両側から溝32の部分に入射する光に対しても、これを受光するための接合構造が溝32の部分にも設けてあるため、第8図に示

特開昭59-198756(5)

した従来のもののような感度の低下を防ぐことができる。なお34はコンタクト部、10はドレイン $N^+$ 層である。

(発明の効果)

以上説明したように、本発明によれば、ホトダイオード部を、本来のPN接合を形成する基板と反対導電形の半導体層を互いに同電位でかつ当該半導体層と反対導電形を有する高不純物濃度の上下2層の半導体層で挟んだ3層構造としたことにより、接合の空乏層容量を増大させ蓄積電荷量を増大させるとともに、短波長光により生じたキャリアの表面単位による再結合を低減させ、照射光の放電電流 $I_p$ への変換効率を向上させることができるため、ブルーミング防止および感度の向上に有効である。また、本発明の製造方法によれば、第1導電形の高不純物濃度の半導体層を形成した後、異方性エッチングを利用して加工することにより素子間分離絶縁膜側面に側壁を設け、それをマスク層として不純物を導入して第2導電形の半導体層を形成し、さらに上記側壁を除去後再び異

方性エッチングを利用してゲート層側面にマスク層からなる側壁を形成し、不純物を導入して第1導電形の高不純物濃度の半導体層を重ねて形成することにより、素子間分離絶縁膜側面で連結した反対導電形を有する高不純物濃度の半導体層を、本来基板とPN接合を形成する半導体層の上下に設けた上述したような3層構造のホトダイオード部を有する固体撮像素子を精度良く製造することができる。

図面の簡単な説明

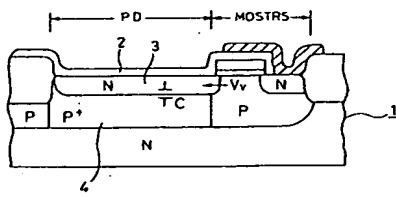
第1図は従来の固体撮像素子の構成例を示す断面図、第2図は光照射による放電時の等価回路図、第3図はビデオ逆バイアス電圧印加時のエネルギーバンド構造図、第4図は本発明の一実施例を示す固体撮像素子の断面図、第5図(a)はビデオ逆方向バイアス印加時のバンド構造図、同図(b)は光照射時のキャリアの動きを説明するための図、第6図は容量等価回路図、第7図(a)~(g)は製造方法の一例を示す図、第8図(a)、(b)は他の従来例を示す平面図および断面図、第9図(a)および(b)~(d)は本

発明の他の実施例を示す平面図および断面図である。

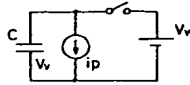
1・・・シリコン基板、2・・・絶縁膜、3・・・PN接合を形成するN層、4・・・ $P^+$ 層、5・・・ $P^{++}$ 層、6・・・素子間分離絶縁膜、7・・・ゲート層を形成するポリシリコン層、8・・・Pウエル層、9・・・Nサブストレート層、10・・・ドレインN層、21・・・ゲート酸化膜、23、26・・・マスク層の側壁。

代理人 弁理士 高橋 明 夫

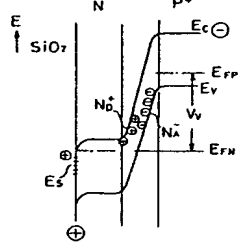
第 1 図



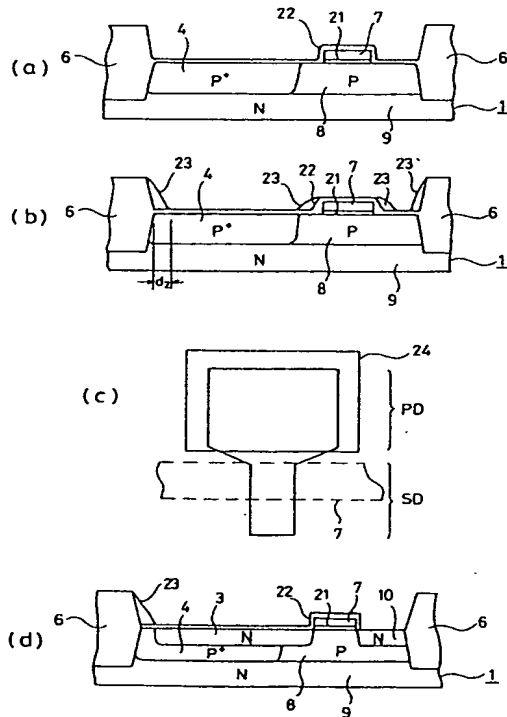
第 2 図



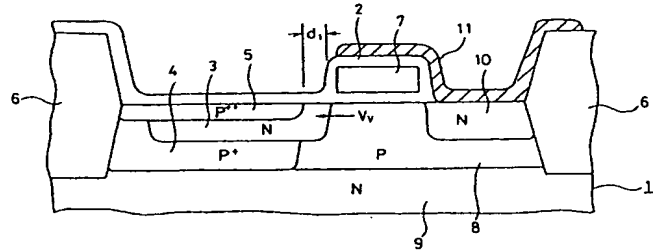
第 3 図



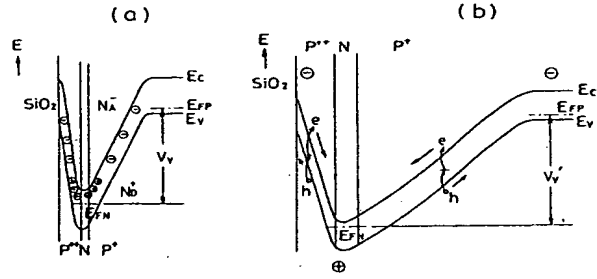
第 7 図



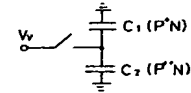
第 4 図



第 5 図



第 6 図



第 7 図

